

# DISEÑO DE UN CONTADOR GEIGER CON CAPACIDAD DE AUTOVERIFICACIÓN INTEGRADA

Peretti, Gabriela (1); Romero, Eduardo (1); Cejas, Marcelo; Marqués, Carlos (2)

(1) Grupo de Investigación y Servicios en Electrónica y Control - Facultad Regional Villa María  
Universidad Tecnológica Nacional  
Av. Universidad 450 - CP 5900 – Villa María – Córdoba – Argentina  
email: stecnica@frvm.utn.edu.ar

(2) Grupo de Desarrollo Electrónico e Instrumental-Facultad de Matemática, Astronomía y Física  
Universidad Nacional de Córdoba  
Medina Allende y Haya de Torre - CP 5000 Ciudad Universitaria – Córdoba – Argentina  
email: marques@famaf.unc.edu.ar

## INTRODUCCIÓN

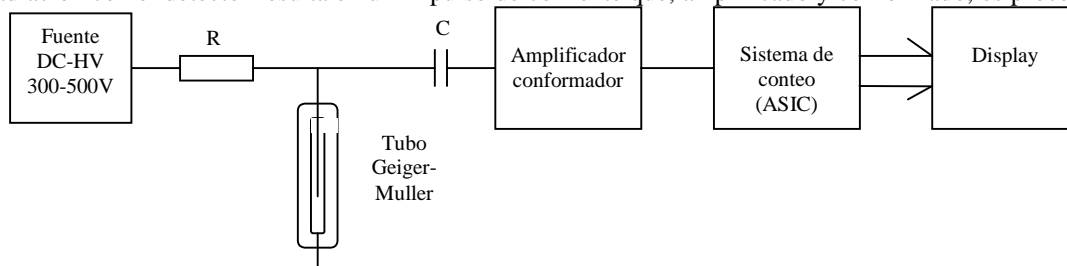
Los Contadores Geiger<sup>1</sup> son instrumentos destinados a detectar y medir radiación ionizante, particularmente útiles en la inspección de áreas y/o personal. Si se los utiliza en situaciones de emergencia radiológica (accidentes con liberación de material radioactivo), puede ser necesario que personal ingrese a zonas con niveles de actividad desconocidos. Una lectura errónea puede conducir a una sobre-exposición y es por ello importante lograr un alto nivel de confianza en el instrumento de medición.

Las fallas en circuitos integrados CMOS VLSI (*Very Large Scale Integration*) pueden producirse durante su utilización en campo, debido a procesos de electromigración, corrosión, etc. Asimismo partículas alfa, radiación cósmica, estrés térmico o mecánico pueden conducir a fallas de tipo permanente o transitorio<sup>2</sup>.

Atendiendo a estas consideraciones se presenta en este trabajo el desarrollo de un ASIC (*Application Specific Integrated Circuit*) que contiene toda la electrónica digital de un contador Geiger con capacidad de autoverificación integrada (BIST, *Built In Self Test*) fuera de línea, en la tecnología MTC07 de Alcatel.

## DESCRIPCIÓN DEL SISTEMA

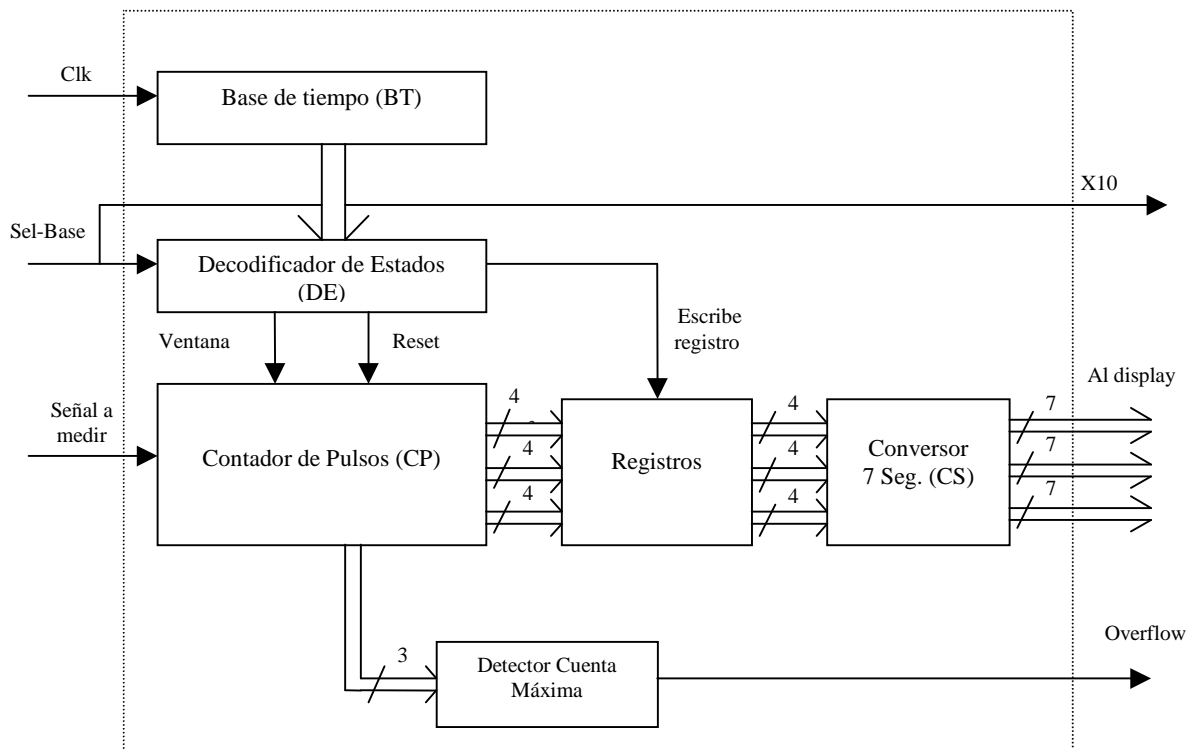
El ASIC que se desarrolla forma parte de un contador Geiger típico (fig. 1). El detector es un tubo gaseoso de Geiger-Mueller polarizado con una fuente de tensión continua de alto voltaje. La interacción de la radiación con el detector resulta en un impulso de corriente que, amplificado y conformado, es procesado



por un sistema de conteo y visualizado en un display. El resultado se expresa en cantidad de eventos por unidad de tiempo (cuentas por minuto o por segundo).

Fig. 1: Contador Geiger típico

En la fig. 2 se muestra el diagrama de bloques de la arquitectura digital propuesta (sin el *hardware* BIST). Las señales de entrada son Clk (reloj general del sistema), Sel-base (selecciona el tiempo de conteo en 6 o



60 segundos) y señal a medir (del amplificador-conformador). Las salidas del circuito son las necesarias para el manejo del display.

Fig. 2: Diagrama de bloques del circuito sin BIST

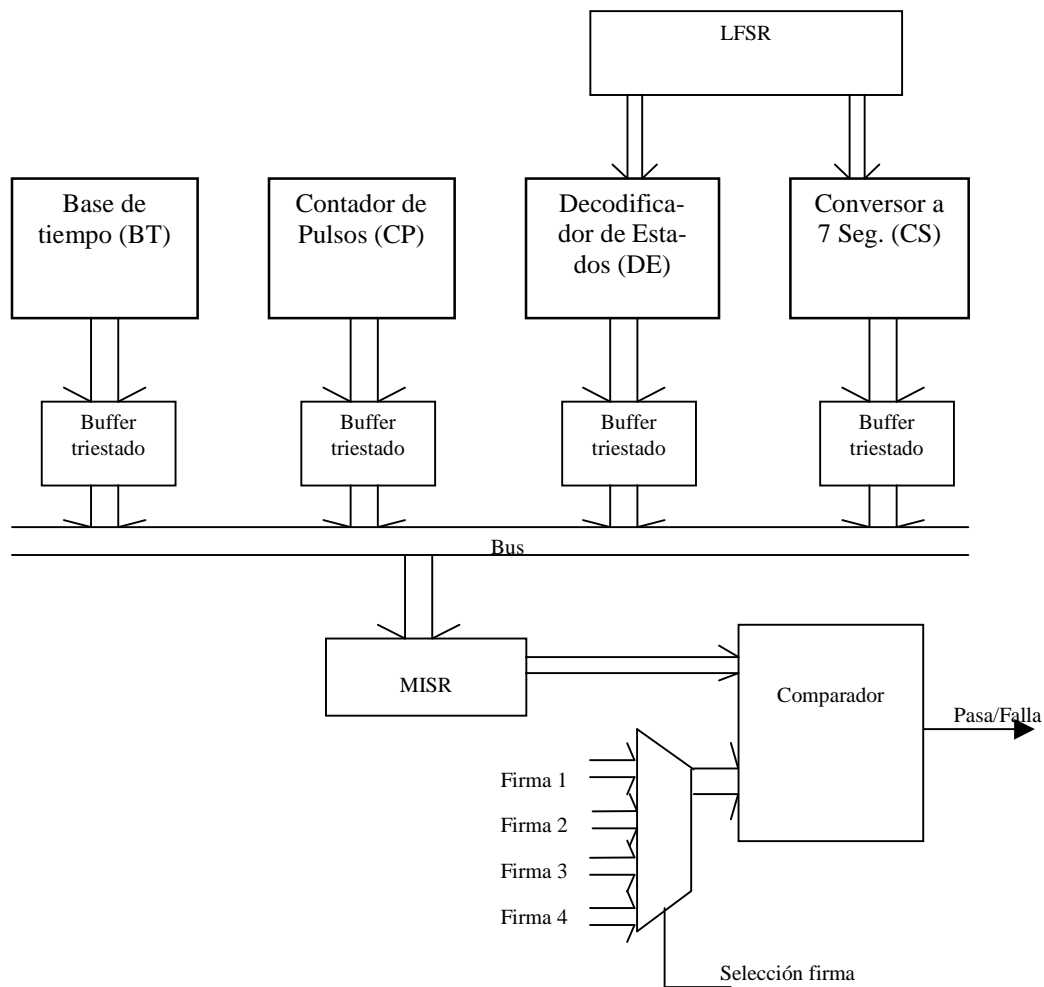
El bloque Base de Tiempo (BT) efectúa una división de frecuencia y junto con el Decodificador de Estados (DE) generan las señales Ventana, que establece el tiempo de medición y Reset, que reinicia el Contador de Pulsos (CP).

El CP efectúa la cuenta en BCD (*Binary Coded Decimal*) de los pulsos de Señal a Medir. El resultado de la cuenta se registra en el Bloque Registros y se convierte a codificación 7 segmentos mediante el bloque Conversor 7 Segmentos (CS). El Bloque Detector de Cuenta Máxima (un registro) genera una señal de alarma (Overflow) si se supera la capacidad de cuenta del contador de pulsos.

## ESTRATEGIA DE AUTOVERIFICACIÓN

Se adopta una estrategia de verificación fuera de línea en la cual el circuito debe sacarse de su operación normal para ser verificado. Se ha seguido un enfoque funcional sin modelo de falla<sup>3</sup>. Para la verificación de los bloques secuenciales (BT y CP), se explotan las funcionalidades intrínsecas de los bloques y no se utiliza generador de patrones de test.

Durante la verificación los bloques se conectan a un MISR (*Multiple Input Signature Register*) mediante un sistema de bus triestado (fig.3). Un LFSR (*Linear Feedback Shift Register*) sirve como generador de patrones de test para el Decodificador de Estados y el Conversor 7 Seg. Se verifican en forma secuencial Base de tiempo, Contador de Pulsos, Decodificador de Estados y por último Conversor 7 Seg. Esto permite utilizar un único MISR y un LFSR conduciendo a un sistema de baja sobreasignación de recursos. Los resultados del test compactados por el MISR son comparados con las firmas de los circuitos mediante un comparador. La señal Pasa/Falla indica si el circuito integrado funciona de acuerdo a lo esperado.



La fig. 4 muestra la estrategia utilizada para verificar la base de tiempo (CON1 a CON5 y MOD6) y el contador de pulsos (BCD1 a BCD3).

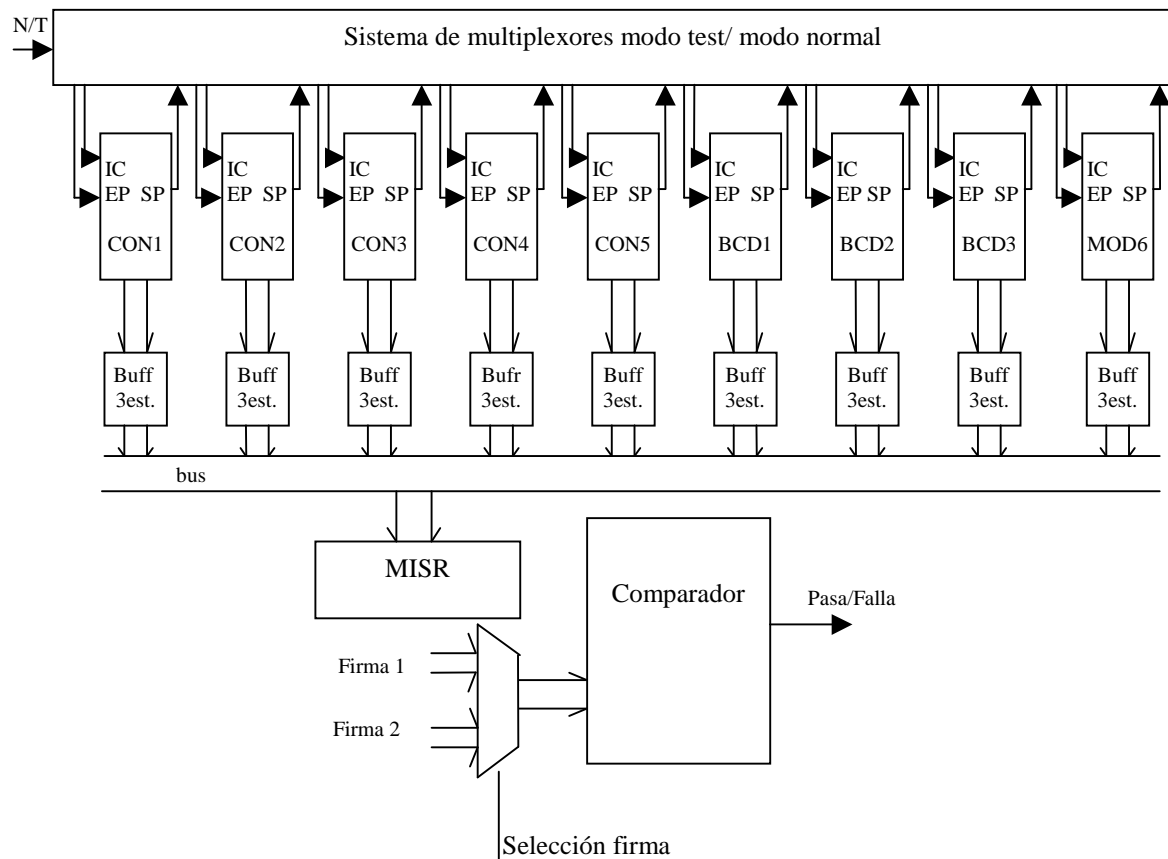
Fig. 3: Conexión de los bloques del ASIC en la fase de test.

Dichos bloques se componen de contadores síncronos conectados en cascada de módulo diez, a excepción de MOD6 (módulo 6). Las entradas y salidas de cada contador, su tabla de estados y diagrama esquemático se muestran en las figuras 5, 6, 7 y 8. Las entradas IC y EP (fig. 5 y 6) permiten la correcta operación en cascada, evitando estados no permitidos.

La estrategia consiste en particionar BT y CP en sus bloques contadores y efectuar la verificación funcional de los mismos en sucesivas sesiones de test. Para ello se incluyen multiplexores para deshabilitar la conexión en cascada de los bloques y permitir la manipulación de las líneas de entrada de los mismos.

La verificación se efectúa ejercitando una operación de conteo completa partiendo del estado cero. Posteriormente se verifica la permanencia del contador en uno de sus estados bajo la condición de inhabilitación de cuenta.

La respuesta del contador bajo test se compacta en el MISR. Se asume que una falla en el circuito provoca la alteración de la secuencia del contador y consecuentemente de la firma, que se detecta por comparación con la del circuito sin fallas obtenida por simulación.



Para la verificación de los bloques DE y CS se propone un test funcional exhaustivo. Para tal fin se emplea un LFSR de longitud máxima<sup>4</sup> que se utiliza para generar los patrones de test. El LFSR, de 13 bits, se obtiene de la reconfiguración de los registros del sistema básico mediante el uso de multiplexores y compuertas XOR.

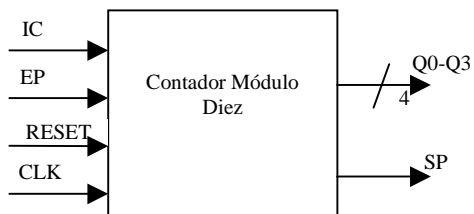


Fig. 4: Verificación de la Base de Tiempo y del Contador de Pulsos

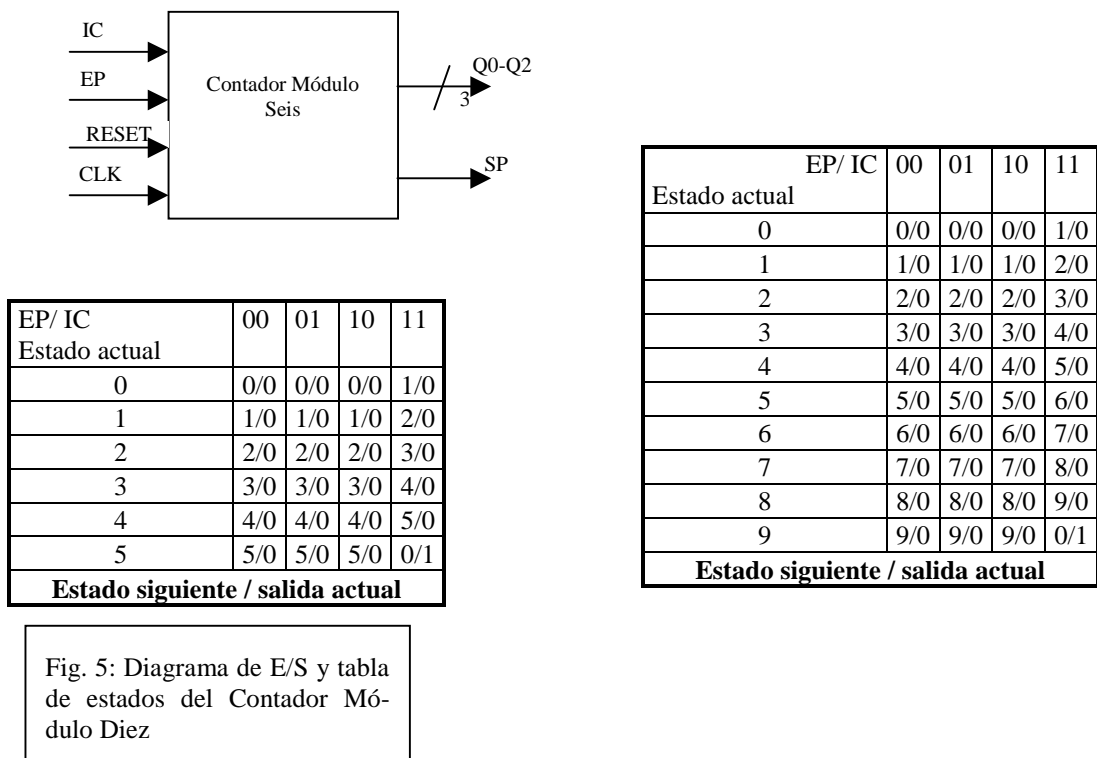


Fig. 6: Diagrama de E/S y tabla de estados del Contador Módulo Seis

Fig. 7: Diagrama esquemático del Contador Módulo Diez

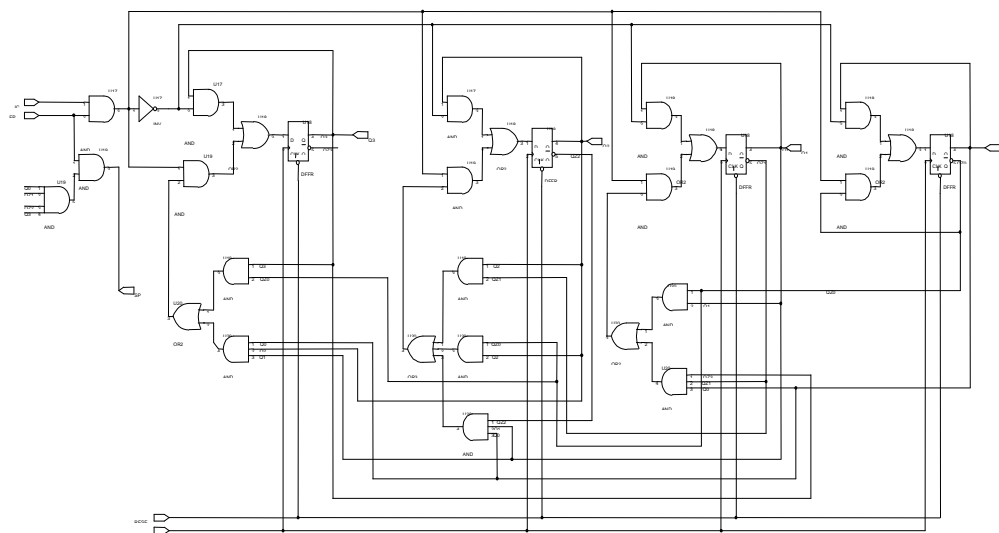


Fig. 8: Diagrama esquemático del Contador Módulo Seis

## RESULTADOS

El circuito se implementa con la librería de celdas estándar de la tecnología MTC07 de 0,7  $\mu\text{m}$  de Alcatel<sup>5</sup>. Los resultados se obtienen mediante simulación Spice, con los tiempos propios de dicha tecnología.

Para evaluar la efectividad de la estrategia planteada<sup>6</sup>, se adopta un modelo de falla estructural tipo *stuck-at*<sup>7</sup>, lo cual permite la inyección de fallas y su posterior simulación.

Si bien el enfoque de BIST funcional descrito en la literatura propone ejercitar todas las funciones del circuito bajo test, nuestros resultados muestran que para el caso de las cadenas de conteo bajo estudio, sólo son necesarias las secuencias mencionadas en el trabajo para obtener una buena cobertura de fallas de tipo estructural.

Para los circuitos secuenciales los resultados de simulación permiten determinar una cobertura de fallas del 98 %. El tiempo de test requerido para verificar cada bloque contador es de 48 microsegundos a la frecuencia de test de 1MHz.

Para los circuitos combinacionales la cobertura de fallas *stuck* es del 100%, con un tiempo de test de 8.2mseg.

## CONCLUSIONES

Se presenta en este trabajo el diseño y simulación de un ASIC que contiene toda la electrónica digital de un contador Geiger, con capacidad de autoverificación integrada, destinada a facilitar la verificación en campo.

El hardware necesario para la verificación es mínimo y sencillo en su implementación, obteniéndose una cobertura de fallas y tiempos de test razonables para la aplicación en cuestión.

---

## REFERENCIAS

<sup>1</sup> H. H. Chiang, Electronics for Nuclear Instrumentation. Theory and Application. R. Krieger Publishing, 1985.

<sup>2</sup> J. Abraham, W. Fuchs. "Fault and Error Models for VLSI", IEEE Proc. Special Issue on Fault Tolerance in VLSI (Mayo 1986).

<sup>3</sup> M. Abramovici, M. Breuer, A. Friedman. Digital Systems Testing and Testable Design. IEEE Press, 1990.

<sup>4</sup> M. Bushnell, V. Agrawal. Essentials of Electronic Testing. Kluwer Academic Publishers, 2000.

<sup>5</sup> Alcatel NV, Standar Cell Design Data Book 0,7 $\mu\text{m}$  CMOS. Alcatel, 1999.

<sup>6</sup> I. Pomeranz, S. M. Reddy, "On achieving complete fault coverage for sequential machines", IEEE Trans. Comput. (Marzo 1994).

<sup>7</sup> P. Lala. Digital Circuit testing and Testability. Academic Press, 1997.